

КР1816ВЕ39

Микросхема представляет собой однокристалльную 8-разрядную микро-ЭВМ без ПЗУ, предназначенную для обработки цифровой информации в вычислительной технике. Количество команд - 96; емкость ОЗУ - 128 байт, число линий ввода/вывода 27, возможность адресации к внешнему ПЗУ программ - до 4 кбайт. Содержит 18000 интегральных элементов. Корпус типа 2123.40-2.

Назначение выводов: 1 - вход/выход тестирования; 2, 3 - входы подключения кварца; 4 - вход установки; 5 - вход пошагового выполнения команд; 6 - вход сигнала прерывания; 7 - вход разрешения работы с внешней памятью; 8 - выход чтения; 9 - выход управления считыванием из внешней памяти; 10 - выход записи; 11 - выход разрешения фиксации адреса; 12...19 - входы/выходы порта 0; 20 - общий; 21...24, 35...38 - входы/выходы порта 2; 25 - выход программирования; 26 - программирующее питание ($U_{п2}$); 27...34 - входы/выходы порта 1; 39 - вход тестирования; 40 - напряжение питания.

Электрические параметры

Напряжение питания	4,75...5,25 В
Входное напряжение высокого уровня	$\geq 2,4$ В
Входное напряжение низкого уровня	-0,5...+0,8 В
Выходное напряжение высокого уровня	$\geq 2,4$ В
Выходное напряжение низкого уровня	$\leq 0,45$ В
Ток потребления	≤ 110 мА
Ток утечки на входах	$\leq \pm 10 $ мкА
Потребляемая мощность	0,66 Вт
Минимальное время выполнения короткой команды	1,36 мкс
Тактовая частота	1...11 МГц
Емкость входа/выхода	≤ 20 пФ
Входная емкость	≤ 10 пФ
Время задержки сигнала ALE относительно адреса DB(0...7), сигналов адреса P2(0...3)	≥ 150 нс
Время задержки сигналов адреса DB(0...7) относительно сигнала ALE	≥ 80 нс
Время установления сигналов данных DB(0...7) относительно сигналов \overline{PME} , \overline{RD}	≤ 500 нс
Время установления сигналов данных DB(0...7) относительно сигналов адреса DB(0...7)	≤ 950 нс
Время сохранения сигналов данных DB(0...7) относительно сигналов \overline{PME} , \overline{RD}	0...200 нс

Время задержки сигнала \overline{WR} относительно сигналов данных DB(0...7).....	≥ 500 нс
Время задержки сигналов данных DB(0...7) относительно сигнала \overline{WR}	≥ 120 нс
Время задержки сигнала \overline{WR} относительно сигналов адреса DB(0...7).....	≥ 290 нс
Время задержки сигналов адреса P2(0...3) относительно сигнала ALE.....	≥ 60 нс
Время цикла	1,97...16 мкс